

Modificações de buffer de entrada F2/F2e do Nexus 7000 para FCoE MultiHop em longa distância

Contents

[Introduction](#)

[Problema](#)

[Solução](#)

[Discussões relacionadas da comunidade de suporte da Cisco](#)

Introduction

A finalidade deste documento é mostrar como modificar buffers de entrada no Cisco Nexus 7000 (N7k) Cisco Nexus 7000 48 portas 1 e 10 Gigabit Ethernet F2-Series Module (F2) e Cisco Nexus 7000 Enhanced F2-Series 48 portas Fibre Ethernet Module 1 e 10 Gigabit (F2) 2e) placas de linha para Virtual Lane 3 (VL3).

Além disso, você verá a quantidade de capacidade de buffer de ingresso que ganha para VL3 após modificar esses valores.

Problema

Usar conexões de vários saltos Fibre Channel over Ethernet (FCoE) entre Datacenters em distâncias maiores que 2 quilômetros pode resultar em quedas de entrada. Por padrão, as placas de linha F2/F2e têm 0 páginas no buffer de latência para enfileirar pacotes após o envio da pausa, o que levará a quedas de entrada em interfaces de vários saltos FCoE de longa distância.

O buffer de latência é definido da seguinte forma:

$PL_STOP - HWM (PL_Pause) = LB (Buffer\ de\ latência)$

Você observará que os valores mencionados acima são exibidos como páginas. Cada página tem aproximadamente 384 bytes.

Observe abaixo, a capacidade de buffer de entrada de VL3 com a política de QoS FCoE padrão:

EX

```
module-10# show hardware internal mac port 1 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used pages  PL_STOP(HWM & LWM)  SPAN
THR
0    1107 ( 425088)    1035 ( 397440)    0           1107    1035    100
1     2 (    768)       1 (    384)       0           2        1        1
2     2 (    768)       1 (    384)       0           2        1        1
```

```

 3   1053 ( 404352)  1029 ( 395136)  0   1053  1029  100
 4   1107 ( 425088)  1083 ( 415872)  0   1107  1083  100
 5    231 (  88704)  159 (  61056)  0    231  159   57
 6     2 (    768)   1 (    384)  0     2    1    1
 7     2 (    768)   1 (    384)  0     2    1    1

```

Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)

DWRR honor UC = FALSE

Leak Lo weight = 0xd8, enabled = FALSE

EB

PL_STOP e HWM (High Water Mark, Marca de água alta) têm o mesmo valor. Aqui você pode ver que o buffer de latência tem 0 páginas por padrão. Para suportar FCoE de longa distância, esses valores precisarão ser modificados.

Solução

Primeiro, você precisará duplicar o mapa de políticas de Qualidade de Serviço (QoS) 'padrão-4q-7e-em-política':

```

Switch(config)# qos copy policy-map type queuing ?
*** No matching command found in current mode, matching in (exec) mode ***
  default-4q-7e-in-policy  Default 7-ethernet input queuing policy
  default-4q-7e-out-policy Default 7-ethernet output queuing policy

```

```
Switch(config)# qos copy policy-map type queuing default-4q-7e-in-policy prefix 7I_
```

Abaixo, você verá a quantidade de bytes alocados para o buffer de latência de VL3, após modificar as políticas de serviço.

Note: Você não verá um buffer de latência até alocar ATLEAST 60% do limite de fila para a política "ndrop".

As políticas serão modificadas em incrementos de 10, até 99%

```
60/40 ingress buffer allocation
```

```
=====
```

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 40
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 60

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```
module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
```

IB

Port page limit : 3584 (1376256 Bytes)

VL#	HWM pages(bytes)	LWM pages(bytes)	Used pages	PL_STOP(HWM & LWM)	SPAN THR
0	624 (239616)	576 (221184)	0	624 576	100
1	2 (768)	1 (384)	0	2 1	1
2	624 (239616)	576 (221184)	0	624 576	100
3	1913 (734592)	1889 (725376)	0	2126 1889	100
4	2 (768)	1 (384)	0	2 1	1
5	124 (47616)	52 (19968)	0	124 52	31

```

6          2 (    768)      1 (    384)      0          2          1          1
7          2 (    768)      1 (    384)      0          2          1          1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

60/40 aloca 81792 bytes ao buffer de latência vl3.

PL_STOP - HWM * 384 bytes
2126 - 1913 = 213 páginas * 384 = 81792 bytes

```

70/30 ingress buffer allocation
=====
policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 30
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 70

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
0     463 ( 177792)    415 ( 159360)     0     463    415    100
1       2 (    768)      1 (    384)     0       2     1     1
2     463 ( 177792)    415 ( 159360)     0     463    415    100
3    1987 ( 763008)   1963 ( 753792)     0    2484   1963    100
4       2 (    768)      1 (    384)     0       2     1     1
5      88 (  33792)    16 (   6144)     0      88    16    22
6       2 (    768)      1 (    384)     0       2     1     1
7       2 (    768)      1 (    384)     0       2     1     1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

70/30 aloca 190848 bytes ao buffer de latência VL3.

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 20
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 80

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB

```

```

Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
  0   302 ( 115968)    254 (  97536)     0      302    254    75
  1    2 (    768)     1 (    384)     0        2     1     1
  2   302 ( 115968)    254 (  97536)     0      302    254    75
  3  1875 ( 720000)  1851 ( 710784)   0    2841  1851   100
  4    2 (    768)     1 (    384)     0        2     1     1
  5   52 (  19968)    46 (  17664)     0       52    46    13
  6    2 (    768)     1 (    384)     0        2     1     1
  7    2 (    768)     1 (    384)     0        2     1     1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE

```

EB

80/20 aloca 370944 bytes ao buffer de latência VL3.

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 10
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 90

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB

IB

```

Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
  0   141 (  54144)    93 (  35712)     0      141    93    35
  1    2 (    768)     1 (    384)     0        2     1     1
  2   141 (  54144)    93 (  35712)     0      141    93    35
  3  1055 ( 405120)  1031 ( 395904)   0    3199  1031   100
  4    2 (    768)     1 (    384)     0        2     1     1
  5   16 (   6144)    10 (   3840)     0       16    10     4
  6    2 (    768)     1 (    384)     0        2     1     1
  7    2 (    768)     1 (    384)     0        2     1     1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE

```

EB

90/10 aloca 823296 bytes ao buffer de latência VL3

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 1
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 99

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
0     15 (    5760)     9 (    3456)       0      15      9      3
1      2 (     768)     1 (     384)       0       2      1      1
2     15 (    5760)     9 (    3456)       0      15      9      3
3    1161 (  445824)   1137 ( 436608)     0    3521  1137  100
4      2 (     768)     1 (     384)       0       2      1      1
5      3 (    1152)     0 (         0)       0       3      0      1
6      2 (     768)     1 (     384)       0       2      1      1
7      2 (     768)     1 (     384)       0       2      1      1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

99/1 aloca 906240 bytes ao buffer de latência VL3

Note: Cada soquete de clipe tem 6 MB de capacidade de buffer. Há 4 portas por clipe, portanto, isso equivale a ~1,5 MB de capacidade de buffer por porta. Com 99/1 você verá ~.9MB alocado ao buffer de latência VL3 e o restante é usado pelo HWM para cada VL (maioria para VL3). Ao adicionar cada VLs HWM com o LB de VL3, você verá que isso equivale a ~1,35 MB de capacidade de buffer.