

Calcular Limites EC-BIT em Controladoras CoherentDSP

Contents

[Introdução](#)

[Pré-requisitos](#)

[Informações de Apoio](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Configurar](#)

[Diagrama de Rede](#)

[Configurações](#)

[Verificar](#)

Introdução

Este documento descreve como calcular e configurar limites de ec-bits em controladores DSP coerentes.

Pré-requisitos

A Cisco recomenda familiaridade com a terminologia de rede óptica e com o Network Convergence System série 1000.

Informações de Apoio

Um bit ec ou um bit com correção de erro representa um erro de bit único recebido em um controlador DSP coerente. A FEC (Forward Error Correction) corrige automaticamente os bits com erro dentro do limite BER (Bit Error Ratio) máximo listado na tabela. Para outros equipamentos Cisco com controladores DSP coerentes, consulte a documentação do produto para o limiar BER.

ID do produto	Tipo de modulação	Tipo de FEC	Limite BER pré-FEC
ONS-CFP2-WDM	QPSK (100G)	7% de SoftDecision	1,0E-2
ONS-CFP2-WDM	QPSK (100G)	20% de SoftDecision	3,6E-2
ONS-CFP2-WDM	16-QAM (200G E 250G)	7% de SoftDecision	0,75E-2
ONS-CFP2-WDM	16-QAM (200G E 250G)	20% de SoftDecision	2,4E-2
NCS1K4-1.2T-K9	todos os	15% de SoftDecision	2.0E-2
NCS1K4-1.2T-K9	todos os	27% de SoftDecision	3,75E-2

Fonte

Tabela 4. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Tabela 6. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Os bits com erro que excederem a BER (taxa máxima de erro de bits) não são corrigidos e são incrementados como erros pós-FEC. Dependendo da configuração, os erros pós-FEC podem passar para o cliente ou resultar em uma supressão de porta do cliente.

Squelch desabilita a transmissão das interfaces do cliente durante o erro de tronco. A configuração do limite ec-bits permite a detecção proativa da degradação do sinal antes do incremento de erros pós-FEC.

Essa configuração não prevê nem protege contra rajadas de palavras não corrigidas.

Você pode visualizar o BER atual de um controlador DSP coerente com **show controller coerenteDSP 0/0/0/x**.

```
RP/0/RP0/CPU0:NCS1002_1# show controller coherentDSP 0/0/0/5
Tue Jul 18 14:54:19.399 UTC
```

```
Port : CoherentDSP 0/0/0/5
Controller State : Up
Inherited Secondary State : Normal
Configured Secondary State : Normal
Derived State : In Service
Loopback mode : None
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7
Performance Monitoring : Enable
```

Alarm Information:

```
LOS = 6 LOF = 3 LOM = 1
OOF = 3 OOM = 4 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 6 TIM = 0
FECMISMATCH = 0 FEC-UNC = 1
Detected Alarms : None
```

Bit Error Rate Information

```
PREFEC BER : 5.8E-03
POSTFEC BER : 0.0E+00
```

TTI :

```
Remote hostname : NCS1002_2
Remote interface : CoherentDSP 0/0/0/5
Remote IP addr : 0.0.0.0
```

```
FEC mode : Soft-Decision 20
```

```
AINS Soak : None
AINS Timer : 0h, 0m
AINS remaining time : 0 seconds
```

Requisitos

Essa configuração requer um dispositivo com controladores coerentes de DSP, como o NCS1002 ou o NCS1004.

Componentes Utilizados

Este exemplo usa:

- NCS1002 no XR 7.3.2 com conectáveis ONS-CFP2-WDM configurados no modo de fatia 200G.
- NCS1004 no XR 7.9.1 com o NCS1K4-1.2T-K9 configurado no modo mxponder 400G.

As informações neste documento foram criadas a partir de dispositivos em um ambiente de laboratório específico. Todos os dispositivos utilizados neste documento foram iniciados com uma configuração (padrão) inicial. Se a rede estiver ativa, certifique-se de que você entenda o impacto potencial de qualquer comando.

Configurar

Os intervalos de Monitoração de Desempenho (PM - Performance Monitoring) de 30 segundos, 15 minutos e 24 horas podem ter um limite de bits ec.

1. Determine a taxa de bits do controlador DSP coerente para cada intervalo de PM.

A taxa de tronco aparece em vários locais, dependendo da plataforma. O NCS1002 lista a taxa de tronco em **show hw-module slice x**

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
show hw-module slice 0
```

```
Tue Jul 18 15:42:17.725 UTC  
Slice ID: 0  
Status: Provisioned  
Client Bitrate: 100  
Trunk Bitrate: 200  
DP FPGA FW Type: X100  
DP FPGA FW Version: 01.01  
HW Status: CURRENT
```

O NCS1004 fornece a largura de banda em **show controller coerente 0/x/0/y**.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1004_71#
```

```
show controller coherentDSP 0/1/0/0
```

```
Tue Jul 18 12:10:59.777 CDT
```

```
Port : CoherentDSP 0/1/0/0  
Controller State : Up  
Inherited Secondary State : Normal  
Configured Secondary State : Normal  
Derived State : In Service  
Loopback mode : None  
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7  
Performance Monitoring : Enable
```

Bandwidth : 400.0Gb/s

Alarm Information:

LOS = 1 LOF = 1 LOM = 0
OOF = 1 OOM = 1 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 0 TIM = 0
FECMISMATCH = 0 FEC-UNC = 0 FLEXO_GIDM = 0
FLEXO-MM = 0 FLEXO-LOM = 0 FLEXO-RDI = 0
FLEXO-LOF = 0
Detected Alarms : None

Bit Error Rate Information

PREFEC BER : 8.78E-04
POSTFEC BER : 0.00E+00
Q-Factor : 9.80 dB

Q-Margin : 4.80dB

Instantaneous Q-Margin : 4.50 dB

Uma taxa de bits de 200 Gbps fornece esse número de bits para cada intervalo de PM.

- 30 segundos: $2E11 \text{ bits/segundo} * 30 \text{ segundos} = 6E12 \text{ bits}$
- 15 minutos: $2E11 \text{ bits/segundo} * 60 \text{ segundos} * 15 \text{ minutos} = 1,8E14 \text{ bits}$
- 24 horas: $2E11 \text{ bits/segundo} * 60 \text{ segundos} * 60 \text{ minutos} * 24 \text{ horas} = 1,728E16 \text{ bits}$

Uma taxa de bits de 400 Gbps oferece o dobro dessas taxas:

- 30 segundos: $4E11 \text{ bits/segundo} * 30 \text{ segundos} = 1,2E13 \text{ bits}$
- 15 minutos: $4E11 \text{ bits/segundo} * 60 \text{ segundos} * 15 \text{ minutos} = 3,6E14 \text{ bits}$
- 24 horas: $4E11 \text{ bits/segundo} * 60 \text{ segundos} * 60 \text{ minutos} * 24 \text{ horas} = 3,46E16 \text{ bits}$

2. Calcule o limite máximo permitido de bits corrigidos por erro por intervalo. Repita essas etapas para o intervalo de 15 minutos. Como o limite de 24 horas tem utilidade limitada, você não precisa calculá-lo.

Exemplo 1: um sinal de 200G usando 20% SoftDecision (SD) FEC tem um BER pré-FEC máximo de $2,4E-2$ da tabela.

- 30 segundos: $6E12 \text{ bits} * 2,4E-2 \text{ BER} = 1,44E11 \text{ bits ec} = 144000000000 \text{ bits ec}$
- 15-min: $1,8E14 \text{ bits} * 2,4E-2 \text{ BER} = 4,32E12 \text{ ec-bits} = 4320000000000 \text{ ec-bits}$

Exemplo 2: um sinal de 400G usando 27% SD FEC tem uma tolerância máxima pré-FEC BER de $3,75E-2$.

- 30 segundos: $1,2E13 \text{ bits} * 3,75E-2 = 4,5E11 = 450000000000 \text{ bits ec}$
- 15-min: $3,6E14 \text{ bits} * 3,75E-2 = 1,35E13 = 13500000000000 \text{ bits ec}$

Em geral, configure o limite de bit ec entre o BER atual e a tolerância máxima.

Por exemplo, um controlador DSP coerente de 400G poderia relatar um BER médio de $8,83E-4$, gerando um total de 10596000000 bits com erros em um intervalo de 30 segundos.

Para evitar alertas de cruzamento de limites (TCAs) desnecessários no **show logging**, defina o limite maior que esse valor.

Este exemplo define o limite dentro de cerca de 20% da tolerância máxima de bits com erro.

3. Configure o limiar ec-bits no controlador DSP coerente.

Exemplo 1: NCS1002 com taxa de tronco de 200G usando 20% SoftDecision FEC.

```
<#root>
RP/0/RP0/CPU0:NCS1002_1#
configure
Tue Jul 18 17:22:14.088 UTC
RP/0/RP0/CPU0:NCS1002_1(config)#
controller coherentDSP 0/0/0/5
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
pm 30-sec fec threshold ec-bits 115200000000
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
pm 15-min fec threshold ec-bits 3456000000000
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
commit
```

Exemplo 2: NCS1004 com o NCS1K4-1.2T-K9 usando o modo mxponder 400G com 27% de SoftDecision FEC.

```
<#root>
RP/0/RP0/CPU0:NCS1004_1#
configure
Tue Jul 18 11:52:17.915 CDT
RP/0/RP0/CPU0:NCS1004_1(config)#
controller coherentDSP 0/1/0/0
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 30-sec fec threshold ec-bits 360000000000
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 15-min fec threshold ec-bits 10800000000000
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
commit
```

Repita essas etapas para todos os controladores DSP coerentes em serviço, incluindo os dispositivos da extremidade oposta.

Diagrama de Rede

NCS1002_1 0/0/0/5 <----> 0/0/0/5 NCS1002_2

NCS1004_1 0/1/0/0 <----> 0/1/0/0 NCS1004_1

Configurações

Para desativar o relatório de todos os TCAs para os bits ec, use os comandos:

```
<#root>
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
  pm 30-sec fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
  pm 15-min fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
  pm 24-hour fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
commit
```

Verificar

Verifique se as alterações entraram em vigor com **show run controller coherentDSP 0/x/0/y**.

```
<#root>
RP/0/RP0/CPU0:NCS1002_1#
show run controller coherentDSP 0/0/0/5
Tue Jul 18 17:47:03.392 UTC
controller CoherentDSP0/0/0/5
  pm 15-min fec threshold ec-bits 3800000000000
  pm 30-sec fec threshold ec-bits 1300000000000
!
```

```
<#root>
RP/0/RP0/CPU0:NCS1004_1#
show run controller coherentDSP 0/1/0/0
Tue Jul 18 12:39:46.782 CDT
controller CoherentDSP0/1/0/0
  pm 15-min fec threshold ec-bits 12000000000000
  pm 30-sec fec threshold ec-bits 4000000000000
!
```

Sobre esta tradução

A Cisco traduziu este documento com a ajuda de tecnologias de tradução automática e humana para oferecer conteúdo de suporte aos seus usuários no seu próprio idioma, independentemente da localização.

Observe que mesmo a melhor tradução automática não será tão precisa quanto as realizadas por um tradutor profissional.

A Cisco Systems, Inc. não se responsabiliza pela precisão destas traduções e recomenda que o documento original em inglês ([link fornecido](#)) seja sempre consultado.