

Prise en charge de matériel ATM pour la classe de service IP à ATM

Contenu

[Introduction](#)

[Conditions préalables](#)

[Conditions requises](#)

[Conventions](#)

[AIP](#)

[PA-A1](#)

[4 processeurs réseau x 00](#)

[Informations connexes](#)

[Introduction](#)

La classe de service (CoS) IP à ATM désigne un ensemble de fonctionnalités activées sur la base d'un circuit virtuel (VC). La COs IP à ATM n'est donc pas prise en charge sur le processeur d'interface ATM (AIP), ou sur les processeurs réseau ATM 4500 ou PA-A1. Ce matériel ATM ne prend pas en charge la mise en file d'attente par circuit virtuel, telle que le PA-A3 et la plupart des modules réseau (autres que l'ATM-25) la définissent.

Ce document clarifie la prise en charge de la qualité de service (QoS) sur les processeurs réseau AIP, PA-A1 et ATM 4x00.

Remarque : la mise en file d'attente par priorité traditionnelle de Cisco IOS[®] et la mise en file d'attente personnalisée ne peuvent pas être utilisées comme solution de contournement pour PA-A1 et AIP. Outre la prise en charge de la mise en file d'attente personnalisée sur les processeurs de réseau 4x00, aucune interface ATM d'un routeur Cisco IOS n'a jamais pris en charge la mise en file d'attente prioritaire ou personnalisée.

Remarque : le module de réseau ATM-25 pour les routeurs des gammes Cisco 2600 et 3600 ne prend pas en charge la CoS IP vers ATM. Vous pouvez configurer des circuits virtuels permanents à débit variable en forme (VBR) pour la qualité de service au niveau de la couche ATM.

[Conditions préalables](#)

[Conditions requises](#)

Aucune spécification déterminée n'est requise pour ce document.

[Conventions](#)

Pour plus d'informations sur les conventions utilisées dans ce document, reportez-vous à [Conventions relatives aux conseils techniques Cisco](#).

AIP

L'AIP prend en charge huit files d'attente de circuits virtuels. Afin de configurer davantage de circuits virtuels, deux circuits virtuels ou plus doivent partager la même file d'attente. Aucun mécanisme QoS n'est disponible pour l'AIP. Cisco vous recommande de migrer vers un nouveau matériel ATM, tel que le PA-A3, afin de tirer parti de l'ensemble actuel de fonctionnalités QoS de Cisco IOS.

Remarque : Remarque : Cisco ne prend plus en charge la qualité de service sur les processeurs d'interface non VIP sur les routeurs de la gamme 7500. Au lieu de cela, la QoS basée sur VIP, qui fonctionne comme un service distribué sur le processeur d'interface polyvalent (VIP), est prise en charge et offre des performances et une latence supérieures. La commande **service policy** a été supprimée de l'interface de ligne de commande (CLI) pour les processeurs d'interface non VIP. Ce problème est documenté sous l'ID de bogue Cisco CSCds53215.

PA-A1

Les mécanismes de mise en file d'attente CoS IP à ATM commencent à prendre effet uniquement lorsque le circuit virtuel est congestionné. Puisque la carte PA-A1 ne prend en charge que les circuits virtuels UBR à un débit de ligne de 155 Mbits/s, la contre-pression du pilote d'interface ATM pour mettre en file d'attente les paquets excédentaires dans les files d'attente IOS de couche 3 s'applique uniquement lorsque l'interface est congestionnée. Lorsque le pilote ATM signale que les files d'attente d'interface sont encombrées, le processeur système ralentit le débit auquel il envoie des paquets au pilote. Dans le cas du PA-A1, l'effet est une réduction du débit. Par conséquent, bien que le PA-A1 soit pris en charge par la mise en file d'attente VIP sur les plateformes de la gamme 7500, Cisco ne recommande pas cette option. Notez qu'une stratégie de service qui configure la mise en file d'attente basée sur VIP est prise en charge sur l'interface principale uniquement dans le logiciel Cisco IOS Version 12.2. Il n'est pas pris en charge sur une sous-interface ou un circuit virtuel permanent en raison de l'architecture du PA-A1.

Le PA-A1 peut atteindre un état d'encombrement alors qu'il fonctionne en dessous du débit de ligne. L'encombrement peut se produire lorsque PA-A1 fonctionne en dessous du débit de ligne. Chaque interface de routeur gère un anneau de transmission FIFO, qui est une structure spéciale utilisée pour contrôler les tampons utilisés pour recevoir et transmettre des paquets au support physique. Reportez-vous à [Comprendre et régler la valeur limite de sonnerie](#). La définition de congestion du mécanisme de mise en file d'attente CoS IP à ATM consiste à remplir l'anneau de transmission. Ainsi, lorsque l'anneau de transmission se remplit, le pilote d'interface exerce le signal de contre-pression nécessaire aux fonctions QoS pour prendre effet et agir sur les paquets mis en file d'attente. En d'autres termes, le PA-A1 prend en charge la contre-pression par interface et peut être vu par le système de mise en file d'attente de couche 3 comme un tuyau de graisse unique, tout comme un POS (Packet over SONET) ou une interface HSSI.

En outre, PA-A1 prend en charge d'autres mécanismes QoS sur une interface principale. Ces mécanismes incluent le marquage basé sur les classes et la détection précoce aléatoire pondérée par interface (WRED). Le PA-A1 prend également en charge la CoS MPLS (Multiprotocol Label Switching). Référez-vous à [Classe de service MPLS \(CoS\)](#).

Remarque : lorsqu'il est utilisé dans un routeur de la gamme Cisco 7500, un PA-A1 prend en

charge la mise en file d'attente équitable (DWFQ) basée sur VIP, mais l'interface de ligne de commande accepte la commande **fair-queue** sur l'interface et semble activer la mise en file d'attente WFQ basée sur RSP, même si cette carte de port ne prend pas en charge. En guise de solution de contournement, activez Cisco Express Forwarding distribué (DCEF) avec la commande **ip cef distribute**, puis activez **fair-queue** sous l'interface pour activer DWFQ. Ceci est documenté sous l'ID de bogue Cisco CSCdu71489.

[4 processeurs réseau x 00](#)

Les processeurs réseau ATM pour routeurs de la gamme 4x00 prennent en charge quatre files d'attente à débit variable et offrent un certain isolement de file d'attente VC. L'isolement désigne les efforts déployés par le microcode pour assurer une allocation équitable des tampons de paquets par circuit virtuel lorsque les tampons sont remplis. L'objectif est de limiter l'effet d'un circuit virtuel congestionné sur un circuit virtuel non congestionné, car la capacité à atteindre un certain débit de transmission dépend de la capacité à mettre en file d'attente un nombre suffisant de paquets égal au débit de transmission de bits par seconde. Auparavant, la mise en file d'attente par priorité traditionnelle (telle que configurée avec la commande **priority-list**), la mise en file d'attente personnalisée (telle que configurée avec la commande **queue-list**) et la mise en file d'attente des paquets étaient configurables sur les processeurs réseau ATM, mais fonctionnellement, elles ne prenaient pas en charge les configurations comportant plus d'un circuit virtuel sur une interface.

[Informations connexes](#)

- [Acronymes ATM](#)
- [Support et documentation techniques - Cisco Systems](#)